

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 61-276033

(43)Date of publication of application : 06.12.1986

(51)Int.CI.

G06F 9/44

(21)Application number : 60-119036

(71)Applicant : MATSUSHITA ELECTRIC IND CO LTD  
SANYO ELECTRIC CO LTD  
MITSUBISHI ELECTRIC CORP  
SHARP CORP

(22)Date of filing : 31.05.1985

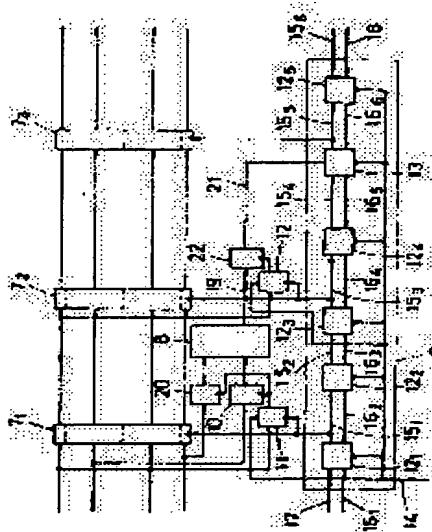
(72)Inventor : TERADA HIRONORI  
ASADA KATSUHIKO  
NISHIKAWA HIROAKI  
ASANO HAJIME  
SHIMIZU MASAHIWA  
MIURA HIROKI  
SHIMA KENJI  
KOMORI NOBUFUMI  
MIYATA SOICHI  
MATSUMOTO SATOSHI

## (54) DATA PROCESSING DEVICE

## (57)Abstract:

PURPOSE: To execute the selective deleting processing of a data packet by stopping the giving and receiving of a data packet in which data packet conditions are established between two adjoining pipeline registers.

CONSTITUTION: After the first word is latched to a pipeline register 72, the input of the second word of the data packet can be executed, and by the same method as that of the first word, the second word is latched to a pipeline register 71. The data packet advances in registers 71W73, and when a signal 21 is '1', by the action of a control element 13 for deleting the selective data, while a signal 155 is '0' as it is for the first and second words, a response signal 165 is changed so as to request the next data input. Consequently, the data packet is essentially deleted without being latched by the register 73. When the signal 21 is '0', the control element 13 executes the same action as control elements 121W125, and therefore, the inputted data packet is outputted to the outside after it is latched to the register 73 without being deformed.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of

## ⑪ 公開特許公報 (A) 昭61-276033

⑫ Int. Cl.<sup>4</sup>  
G 06 F 9/44識別記号 厅内整理番号  
B-8120-5B

⑬ 公開 昭和61年(1986)12月6日

審査請求 未請求 発明の数 1 (全6頁)

## ⑭ 発明の名称 データ処理装置

⑮ 特 願 昭60-119036  
⑯ 出 願 昭60(1985)5月31日

⑭ 発明者	寺 田 浩 詔	吹田市山田西3丁目52番地 千里一条池B-803
⑭ 発明者	浅 田 勝 彦	尼崎市東難波町4丁目11番4号
⑭ 発明者	西 川 博 昭	吹田市江坂町1-12番55-1002号
⑭ 発明者	凌 野 一	豊中市庄内幸町2丁目2番27号
⑭ 発明者	清 水 雅 久	門真市下馬伏271番地
⑭ 出願人	松下電器産業株式会社	門真市大字門真1006番地
⑭ 出願人	三洋電機株式会社	守口市京阪本通2丁目18番地
⑭ 出願人	三菱電機株式会社	東京都千代田区丸の内2丁目2番3号
⑭ 出願人	シャープ株式会社	大阪市阿倍野区長池町22番22号
⑭ 代理人	弁理士 宮井 咲夫	

最終頁に続く

## 明細書

## 1. 発明の名称

データ処理装置

## 2. 特許請求の範囲

データパケット消去条件の成立・不成立を決定するためのデータを含むデータパケットを順次送するバイオペレーティングレジスタ群と、このバイオペレーティングレジスタ群を進行するデータパケット中の前記データパケット消去条件の成立・不成立を決定するためのデータからデータパケット消去条件の成立・不成立を検出するデータパケット消去条件成立検出部と、このデータパケット消去条件成立検出部による検出結果に基づきデータパケット消去条件の成立時に前記バイオペレーティングレジスタ群のうちの接続する2個のバイオペレーティングレジスタ間ににおけるデータパケット消去条件の成立したデータパケットの授受を停止させる制御回路とを備えたデータ処理装置。

## 3. 発明の詳細な説明

産業上の利用分野

この発明は、データフロー制御方式の計算機(データフロー計算機)において、条件付分岐の処理を行うためにデータパケットの選択的消去処理を行うデータ処理装置に関するものである。

## 従来の技術

条件付分岐は基本的な演算処理の一つであり、特に数値データの大小関係による分岐は多用される。例えば第4図はデータフロー計算機で実行するデータフローラフの例であり、 $i = (A > B)$   
 $X = A * A \quad i = e \quad X = B * B$  のプログラムの例である。

第4図を用いて条件付分岐の処理方法を説明する。第4図の1が大小比較を行う判断子であり、本例では $A > B$ なる時にはこの判断子ノードより出力する制御データ2を「真」とし、 $A > B$ ならざる時は制御データ2を「偽」とし、真ゲート(T-GATE)3と偽ゲート(P-GATE)4のそれぞれの右側入力部に送出する。真ゲートの働きは、その右側入力部に入力する制御データが「真」の時には、左側入力部に入力するデータ

## 特開昭61-276033 (2)

をそのまま出力し、「偽」の時には左側入力部に入力するデータを吸収し何も出力しない。即ち、「偽」の場合、ハードウェア上ではデータパケット（データトークン、または単にトークンということもある）を消去することになる。偽ゲートは、真ゲートを論理反転した働きをし、その右側入力部に入力する制御データが「偽」の時には、左側入力部に入力するデータをそのまま出力し、「真」の時には左側入力部に入力するデータを吸収し何も出力しない。即ち、真ゲート、偽ゲートの処理は共に、制御データの論理値により選択的にデータパケットを消去するハードウェア構成で実現できる。

以上の真ゲートおよび偽ゲートの働きにより、判断子1の判断結果に基づき、乗算5と乗算6のどちらか一方のみの演算がなされて、所望の計算結果Xを得る。

データフロー制御方式における条件付分岐の制御方式として、第4回のように判断子と真ゲートと偽ゲートを用いる方法は、例えば以下の文献に

を高速かつパイプライン処理方式で行うデータ処理装置を提供することを目的とする。

### 問題点を解決するための手段

この発明のデータ処理装置は、データパケット消去条件の成立・不成立を決定するためのデータを含むデータパケットを順次移送するパイプラインレジスタ群と、このパイプラインレジスタ群を進行するデータパケット中の前記データパケット消去条件の成立・不成立を決定するためのデータからデータパケット消去条件の成立・不成立を検出するデータパケット消去条件成立検出部と、このデータパケット消去条件成立検出部による検出結果に基づきデータパケット消去条件の成立時に前記パイプラインレジスタ群のうちの隣接する2個のパイプラインレジスタ間におけるデータパケット消去条件の成立したデータパケットの授受を停止させることにより、パイプラインレジスタ群の中を進行中のデータパケットを選択的に消去するため、簡易な構成で高速かつパイプライン処理方式でデータパケットの選択的消去処理を行うことができる。

おいて提案されている。

プロシーディングス・オブ・ザ・セカンド・ニューフル・シンポジウム・オン・コンピュータ・アーキテクチャ (Proc. of the 2nd Annual Symposium on Computer Architecture) の発表論文ア・ブリリミナリー・アーキテクチャ・フォー・ア・ペイシック・データ・フロー・プロセッサ (A Preliminary Architecture for a Basic Data Flow Processor)

しかし、従来は、真ゲートおよび偽ゲートの処理のハードウェア実現法について詳細に述べた文献はなかった。従って、その効率的な処理構造の構成方法は明らかになっていない。

### 発明が解決しようとする問題点

データフロー計算機において、条件付分岐処理を高速かつ効率的に行うためには、真ゲートおよび偽ゲートの処理を高速かつパイプライン処理方式で行うことが必要である。

本発明は、この点に鑑みてなされたもので、簡易な構成により、真ゲートおよび偽ゲートの処理

ト消去条件成立検出部の検出結果に基づいて制御回路がパイプラインレジスタ群のうちの隣接する2個のパイプラインレジスタ間におけるデータパケット消去条件の成立したデータパケットの授受を停止させることにより、パイプラインレジスタ群の中を進行中のデータパケットを選択的に消去するため、簡易な構成で高速かつパイプライン処理方式でデータパケットの選択的消去処理を行うことができる。

### 実施例

第1図は本発明を用いたデータ処理装置の実施例の構成図である。第1図において、7<sub>1</sub>～7<sub>3</sub>がパイプラインレジスタ、8が消去条件成立検出部、9が制御回路、10が命令コードレジスタである。

以上のように構成された本実施例における選択的なデータパケットの消去処理、即ち真ゲートと偽ゲートの処理方法を以下に説明する。

まず、データパケットの構成を第2回のような2ワード構成のものと仮定して説明を行う。第4

### 作用

本発明は、上記した構成により、データパケッ

### 特開昭61-276033 (3)

図における真ゲート3または偽ゲート4の右側入力部に入力する制御データと、同じく左側入力部に入力するデータとは、データフロー計算機に必ず储えられているオペランドデータ待ち合わせ缓冲において合成され、第2図に示す1つのデータパケットの形で本実施例のデータ処理装置に送られてくるわけである。第1ワードの第2フィールド、即ち命令コードフィールドには、真ゲート処理命令または偽ゲート処理命令のいずれかに対応する命令コードが書き込まれている。上記制御データは第1ワードの第4フィールド、即ち制御データフィールドに書き込まれており、上記データは第2ワードの第2フィールド、即ち左データフィールドに書き込まれている。

従って、真ゲートの処理としては、制御データフィールドが「真」(=「1」)であれば入力してきたデータパケットをそのまま出力し、制御データフィールドが「偽」(=「0」)であれば入力してきたデータパケットを消去し何も出力しないとすれば良い。また、偽ゲートの処理としては、

行は、データパケットの入力で始まる。即ち、応答信号16<sub>1</sub>が「1」の時にバイ二進レジスタ7<sub>1</sub>の入力側に外部からデータパケットの第1ワードを入力し、入力要求信号17を「1」にする。この時、制御要素12<sub>1</sub>（通常MillerのC素子と呼ばれる公知の技術）は次段からの応答信号16<sub>2</sub>が「1」であるかを調べ、「1」であれば信号15<sub>1</sub>を「1」にし、応答信号16<sub>2</sub>が「0」であれば「1」になるまで待ったのち信号15<sub>1</sub>を「1」にする。即ち、入力要求信号17と次段からの応答信号16<sub>2</sub>がどちらも「1」の時に限り、信号15<sub>1</sub>を「0」から「1」に変化させる。同様に、入力要求信号17と応答信号16<sub>2</sub>がどちらも「0」の時に限り、信号15<sub>1</sub>を「1」から「0」に変化させる。また応答信号16<sub>1</sub>は信号15<sub>1</sub>を論理反転させた信号である。以上の動作は制御要素12<sub>1</sub>～12<sub>3</sub>について共通である。制御要素12<sub>1</sub>～12<sub>3</sub>の構成例を第3図間に示す。信号15<sub>1</sub>が「0」から「1」に変化したことにより、データパケットの第1ワードがバイ二

制御データフィールドが「偽」(=「0」)であれば入力してきたデータパケットをそのまま出力し、制御データフィールドが「真」(=「1」)であれば入力してきたデータパケットを消去し何も出力しないとすれば良い。第1図に示すデータ処理装置は、上記真ゲートおよび偽ゲートの処理を非同期式バイ二進処理方式で実施する例である。

第1図のデータ処理装置の動作を以下に説明する。

まず、本データ処理装置の初期化の方法を説明する。初期化はリセット信号14を「0」にすることで完了する。この時、Dラッチ11、12がリセットされるほか、信号15<sub>1</sub>～15<sub>6</sub>は全て「0」になり、応答信号16<sub>1</sub>～16<sub>6</sub>は全て「1」になる。以上で初期化が完了し、真ゲート処理命令の実行または偽ゲート処理命令の実行を要求するデータパケットの入力を受け付ける準備が終わる。

真ゲート処理命令または偽ゲート処理命令の実

ラインレジスタ7<sub>1</sub>にラッチされる。このラッチされた第1ワードは、制御要素12<sub>1</sub>、12<sub>3</sub>の同様の動作によって次にバイ二進レジスタ7<sub>2</sub>にラッチされる。この間、Dラッチ11と命令コードレジスタ10の作用により、第1ワード中の命令コードフィールドの内容（即ち命令コード）が命令コードレジスタ10にラッチされ、また同時に第1ワード中の制御データフィールドの内容（即ち制御データ）がDラッチ20にラッチされる。このラッチされた命令コードと制御データを入力として、消去条件成立検出部8は以下の真理値表に基づき消去条件成立信号19を出力する。そして、この消去条件成立信号19がDラッチ12の出力によってDラッチ22にラッチされ、信号21となる。

（以下省略）

命令コード	制御データ	消去条件成立 信号
「真ゲート 处理命令」	「偽」 ('0')	「1」
「真ゲート 处理命令」	「真」 ('1')	「0」
「偽ゲート 处理命令」	「偽」 ('0')	「0」
「偽ゲート 处理命令」	「真」 ('1')	「1」

消去条件成立検出部 8 は ROM (Read Only Memory) または PLA (Programmable Logic Array) 等を用いて構成することができる。

第 1 ワードがバイブラインレジスタ 7<sub>2</sub> にラッテされた後、データパケットの第 2 ワードの入力が可能となり (この時、応答信号 16<sub>1</sub> は「1」)、第 1 ワードと同様の方法で第 2 ワードがバイブラインレジスタ 7<sub>1</sub> にラッテされる。そして、データパケットはバイブラインレジスタ 7<sub>1</sub> ~ 7<sub>3</sub> 中を進行して行こうとするが、信号 21 が「1」の時は、選択的データ消去用制御要素 13 の作用により、第 1 ワードに対しても第 2 ワードに対しても信号 15<sub>6</sub> を「0」のままにして応答信号 16<sub>5</sub>

方式で処理できる。そして、第 1 図に見られるように、バイブラインレジスタと他のバイブラインレジスタの間のデータ経路には伝播遅延を生じさせる要因を全く持っていないことから、高速なバイブライン処理が可能となり、その実用的効果は大きい。したがって、データフロー計算機における条件付分岐処理を効率的に行うことができるものであり、その実用的効果は大きい。また、データフロー計算機への応用のみならず、バイブライン処理を行う全ての応用において、選択的にデータあるいはデータパケットの消去を行う用途に使うことができるため、その実用的効果は大きい。

なお、以上は第 2 図のような 2 ワード構成のデータパケットについて説明したが、3 ワード以上の構成の場合にも 1 ワード構成の場合にも本実施例は応用可能であり、特に 1 ワード構成のデータパケットの場合はより簡易な構成で本発明を用いたデータ処理装置が実現できる。

#### 発明の効果

この発明のデータ処理装置は、データパケット

を次のデータの入力を要求するように変化させるので、バイブラインレジスタ 7<sub>3</sub> にはラッテされずに、実質上データパケットが消去されたことになる。信号 21 が「0」の時は、選択的データ消去用制御要素 13 は、制御要素 12<sub>1</sub> ~ 12<sub>3</sub> と同等の動作を行うので、入力したデータパケットは何らの変形を受けることなく一度バイブラインレジスタ 7<sub>3</sub> にラッテされた後、本データ処理装置から外部に出力される。選択的データ消去用制御要素 13 の構成例を第 3 図に示す。

以上のようにして、真ゲート処理の場合および偽ゲート処理の場合にそれぞれ対応した選択的なデータパケット消去がなされ、所定の処理機能が果たされる。

以上のように本実施例によれば、バイブラインレジスタ 7<sub>1</sub> ~ 7<sub>3</sub> の制御を消去条件成立検出部 8 の出力に基づき制御回路 9 が実行することにより、シーケンス制御回路などの複雑な構成要素を用いることなく、簡易な構成で真ゲート処理および偽ゲート処理を非同期方式のバイブライン処理

消去条件の成立・不成立を決定するためのデータを含むデータパケットを順次移送するバイブラインレジスタ群と、このバイブラインレジスタ群を進行するデータパケット中の前記データパケット消去条件の成立・不成立を決定するためのデータからデータパケット消去条件の成立・不成立を検出するデータパケット消去条件成立検出部と、このデータパケット消去条件成立検出部による検出結果に基づきデータパケット消去条件の成立時に前記バイブラインレジスタ群のうちの隣接する 2 個のバイブラインレジスタ間におけるデータパケット消去条件の成立したデータパケットの授受を停止させる制御回路とを備える構成にしたので、簡易な構成により、真ゲート処理、偽ゲート処理などの選択消去処理を高速かつバイブライン処理方式で行うことができる。

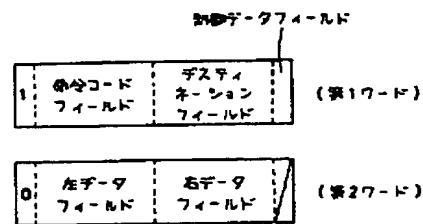
#### 4. 図面の簡単な説明

第 1 図は本発明を用いたデータ処理装置の実施例の構成図、第 2 図は本発明を用いたデータ処理装置に用いるデータパケットの構成図、第 3 図は

特開昭 61-276033 (5)

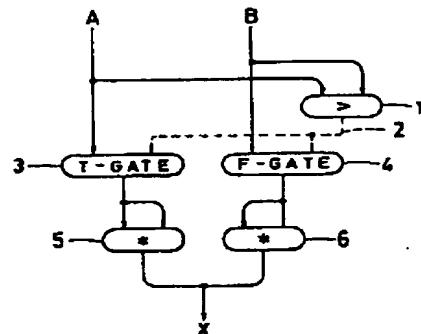
本発明の制御回路の構成要素の構成図、第4図はデータフローダグラフの例である。

7<sub>1</sub>～7<sub>3</sub>…パイアラインレジスタ、8…消去条件成立検出部、9…制御回路、10…命令コードレジスタ、11, 12, 22, 20…Dラッチ、12<sub>1</sub>～12<sub>5</sub>…制御要素、13…選択的データ消去用制御要素



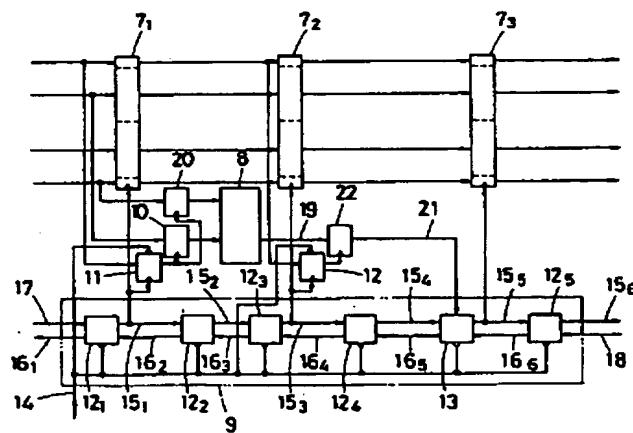
第 2 図

代理人 弁理士 宮 井 駿 夫

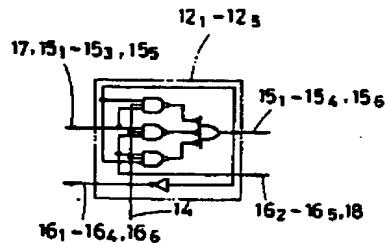


第 4 図

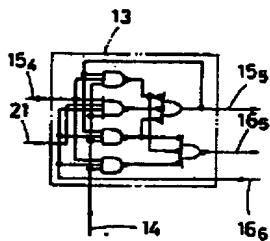
7<sub>1</sub>～7<sub>3</sub>…パイアラインレジスタ  
8…消去条件成立検出部  
9…制御回路  
10…命令コードレジスタ  
11, 12, 20, 22…Dラッチ  
12<sub>1</sub>～12<sub>5</sub>…制御要素  
13…選択的データ消去用制御要素



第 1 図



(a)



(b)

図 3 図

第1頁の続き

②発明者	三浦 宏喜	枚方市朝日丘町10番49号
②発明者	鶴瀬 司	西宮市甲子園町3丁目16番411号
②発明者	小守 伸史	伊丹市昆陽字木ノ本14-7番地
②発明者	宮田 宗一	奈良県橿原郡三宅町大字屏風17番地88
②発明者	松本 敏	奈良県宇陀郡橿原町天溝台西3丁目30番の5